

(19)

(11) Publication number:

10223897 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 09033208

(51) Intl. Cl.: H01L 29/78 H01L 21/28 H01L 21/316
H01L 21/3205 H01L 21/768

(22) Application date: 31.01.97

(30) Priority:

(43) Date of application
publication: 21.08.98(84) Designated
contracting states:

(71) Applicant: NIPPON STEEL CORP

(72) Inventor: TAKUBI ATSUSHI

(74) Representative:

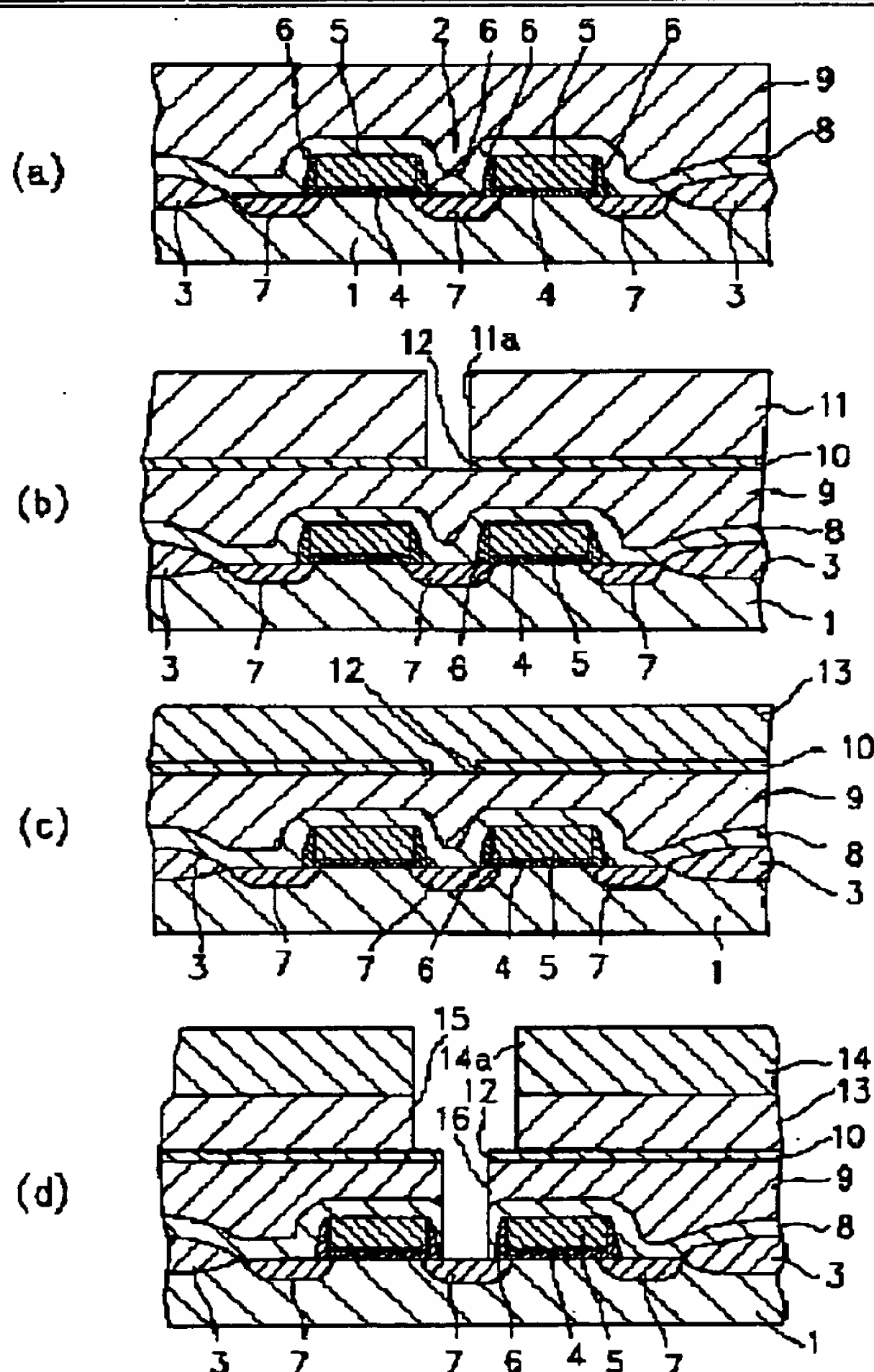
(54) SEMICONDUCTOR
DEVICE AND ITS
MANUFACTURE

(57) Abstract:

PROBLEM TO BE SOLVED: To form easily and with reliability connection holes and wiring layers by photolithography using high-resolution resist.

SOLUTION: Interlayer insulating films 8 and 9 are formed which cover gate electrode films 5 and impurities diffusion layers 7. A silicon nitride film 10 is formed on the interlayer insulating film 9 which exhibits a lower etching speed and a smaller film thickness than the interlayer insulating films 8 and 9. A hole 12 is made in the silicon nitride film 10 with a diameter equal to a desired contact hole. An interlayer insulating film 13 is formed on the silicon nitride film 10. A wiring slot 15 wider than the diameter of the hole is formed in the interlayer insulating film 13. A contact hole 16 in analogy to the hole 12 is formed in the interlayer insulating films 8 and 9 by using the silicon nitride film 10 as a mask.

COPYRIGHT: (C)1998,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-223897

(43) 公開日 平成10年(1998) 8月21日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 29/78

H 0 1 L 29/78

3 0 1 X

21/28

3 0 1

21/28

3 0 1 R

21/316

21/316

G

21/3205

21/88

K

21/768

21/90

C

審査請求 未請求 請求項の数16 F D (全 11 頁) 最終頁に続く

(21) 出願番号

特願平9-33208

(22) 出願日

平成9年(1997) 1月31日

(71) 出願人 000006655

新日本製鐵株式会社

東京都千代田区大手町2丁目6番3号

(72) 発明者 田首 篤

東京都千代田区大手町2-6-3 新日本

製鐵株式会社内

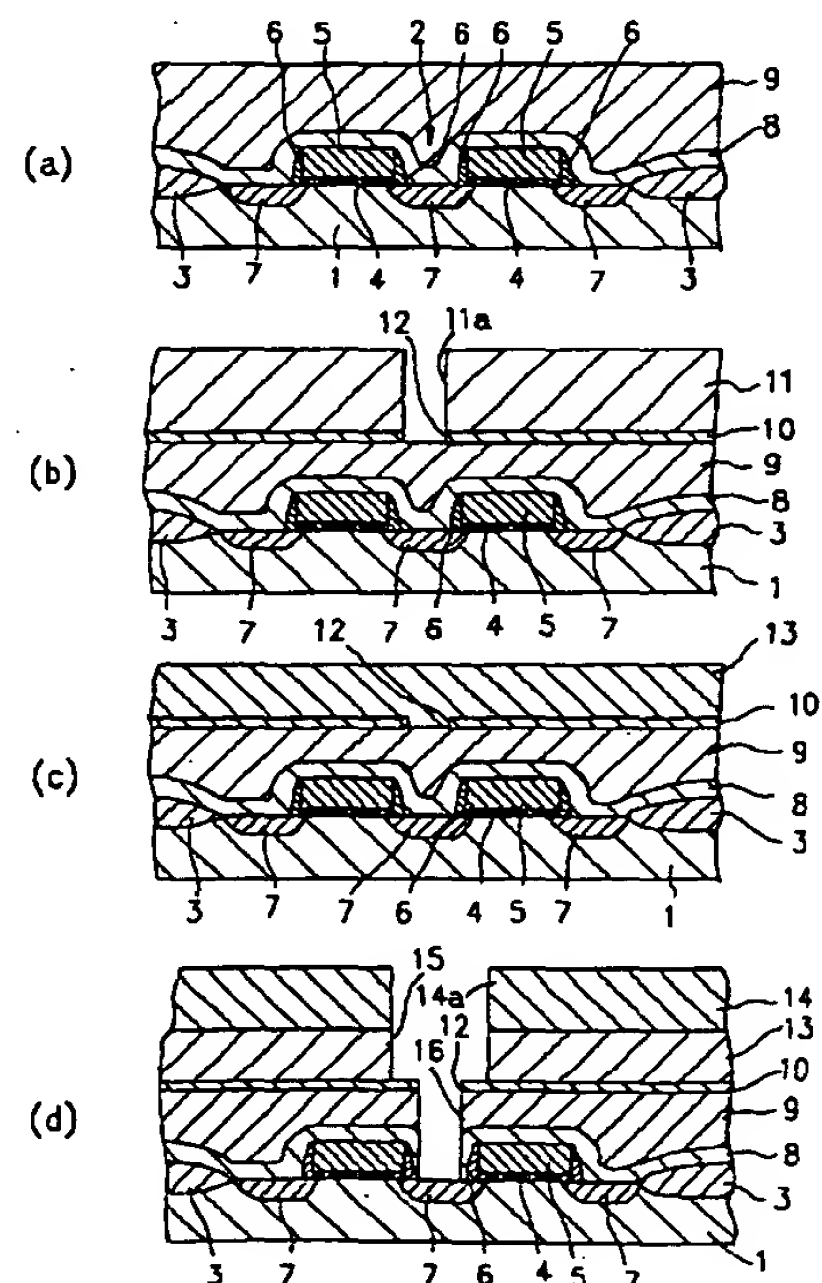
(74) 代理人 弁理士 國分 孝悦

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 高解像性レジストを用いたフォトリソグラフィにより接続孔や配線層を容易且つ確実に形成する。

【解決手段】 ゲート電極膜5及び不純物拡散層7を覆うように層間絶縁膜8、9を形成し、この層間絶縁膜9上にこれら層間絶縁膜8、9よりエッチング速度が低く膜厚の薄い窒化シリコン膜10を形成する。続いて、この窒化シリコン膜10に所望のコンタクト孔と同じ孔径に開孔12を形成し、窒化シリコン膜10上に層間絶縁膜13を形成する。そして、層間絶縁膜13に前記孔径より幅広の配線溝15を形成するとともに、窒化シリコン膜10をマスクとして開孔12に倣ったコンタクト孔16を層間絶縁膜8、9に形成する。



【特許請求の範囲】

【請求項1】 導電層と、前記導電層上に形成された第1の絶縁膜と、

前記第1の絶縁膜上に形成された当該第1の絶縁膜よりもエッチング速度の低い材料からなり且つ当該第1の絶縁膜よりも膜厚の薄い第2の絶縁膜と、

前記第2の絶縁膜上に形成された第3の絶縁膜と、

前記第2の絶縁膜を貫通する第1の開孔と、

前記第1の開孔の形状に倣って前記第1の絶縁膜を貫通して前記導電層の表面の一部を露出させる第2の開孔と、

前記第1の開孔上に当該第1の開孔の孔径よりも大きい幅に前記第2の絶縁膜の表面の一部が露出するように前記第3の絶縁膜に形成された溝部と、

前記第1及び第2の開孔並びに前記溝部を充填して前記導電層と導通するようにパターン形成された配線層とを有することを特徴とする半導体装置。

【請求項2】 前記配線層は、アルミニウム、銅、チタン、窒化チタン、タングステン、チタタングステン、タングステンシリサイドのうち、少なくとも1つが含有されてなることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記導電層が半導体基板の表面領域に形成された不純物拡散層或いは他の配線層であることを特徴とする請求項1又は2に記載の半導体装置。

【請求項4】 前記第1及び第2の開孔を充填する導電材からなるコンタクトプラグと、

前記溝部の形成された前記第3の絶縁膜の側壁に、当該溝部の幅が下方へ向かうにつれて徐々に狭くなるように、前記コンタクトプラグと同一の導電材からなる側壁膜とを有し、

前記配線層が、前記側壁膜が形成された前記溝部を充填するとともに前記コンタクトプラグと電氣的に接続されていることを特徴とする請求項1～3のいずれか1項に記載の半導体装置。

【請求項5】 前記溝部が前記配線層の形状に形成された配線溝であり、当該溝部内を充填することで所定パターンの前記配線層が形成されていることを特徴とする請求項4に記載の半導体装置。

【請求項6】 前記第2の絶縁膜が、前記第1の絶縁膜のエッチング速度の1/6以下のエッチング速度をもつ材料からなることを特徴とする請求項1～5のいずれか1項に記載の半導体装置。

【請求項7】 前記コンタクトプラグ及び前記側壁膜は、チタン、窒化チタン、タングステン、チタタングステン、タングステンシリサイドのうち、少なくとも1つが含有されてなることを特徴とする請求項4～6のいずれか1項に記載の半導体装置。

【請求項8】 導電層上に第1の絶縁膜を形成する第1の工程と、

前記第1の絶縁膜上に当該第1の絶縁膜よりもエッチング速度の低い材料からなる第2の絶縁膜を前記第1の絶縁膜よりも薄い膜厚に形成する第2の工程と、

前記第2の絶縁膜を貫通して前記第1の絶縁膜の表面の一部を露出させる第1の開孔をパターン形成する第3の工程と、

前記第1の開孔内を含む前記第2の絶縁膜上に第3の絶縁膜を形成する第4の工程と、

前記第3の絶縁膜に、前記第1の開孔の孔径よりも大きい幅の溝部を、前記第1の開孔が露出するように形成するとともに、前記第1の絶縁膜に、前記第2の絶縁膜の前記第1の開孔の形状に倣った前記導電層の表面の一部を露出させる第2の開孔を形成する第5の工程と、

前記第1及び第2の開孔並びに前記溝部を充填して前記導電層と導通するように配線層をパターン形成する第6の工程とを有することを特徴とする半導体装置の製造方法。

【請求項9】 前記第2の絶縁膜を、前記第1の絶縁膜のエッチング速度の1/6以下のエッチング速度をもつ材料を用いて形成することを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項10】 前記溝部を前記配線層の形状に形成された配線溝とし、当該溝部内を充填することで所定パターンの前記配線層を形成することを特徴とする請求項8又は9に記載の半導体装置の製造方法。

【請求項11】 前記配線層を、アルミニウム、銅、チタン、チタタングステン、タングステンシリサイドのうち、少なくとも1つを材料として用いて形成することを特徴とする請求項8～10のいずれか1項に記載の半導体装置の製造方法。

【請求項12】 前記導電層を半導体基板の表面領域に形成された不純物拡散層或いは他の配線層とすることを特徴とする請求項8～11のいずれか1項に記載の半導体装置の製造方法。

【請求項13】 前記第5の工程の後、前記第6の工程において、前記第1及び第2の開孔内並びに前記溝部内を埋めるように導電膜を堆積形成し、前記溝部に対して当該溝部の深さ程度まで前記導電膜を除去して前記第1及び第2の開孔内にコンタクトプラグを形成すると同時に、前記導電膜を加工して、前記溝部の形成された前記第3の絶縁膜の側壁に、当該溝部の幅が下方へ向かうにつれて徐々に狭くなるように側壁膜を形成して、前記配線層を前記コンタクトプラグと電氣的に接続するように形成することを特徴とする請求項8～12のいずれか1項に記載の半導体装置の製造方法。

【請求項14】 前記コンタクトプラグ及び側壁膜を同時形成する際に、前記第1及び第2の開孔内並びに前記溝部内を埋めるように形成された前記導電膜の全面に異方性エッチングを施すことを特徴とする請求項13に記載の半導体装置の製造方法。

【請求項15】 前記配線層を形成する際に、前記配線層の全面に化学機械研磨を施して当該配線層を前記溝部内を埋めるように形成することを特徴とする請求項13又は14に記載の半導体装置の製造方法。

【請求項16】 前記コンタクトプラグ及び前記側壁膜を、チタン、窒化チタン、タングステン、チタンタングステン、タングステンシリサイドのうち、少なくとも1つを材料として用いて形成することを特徴とする請求項13～15のいずれか1項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関し、特に、微細な接続孔や配線層を備える集積度の高い半導体装置及びその製造方法に関する。

【0002】

【従来の技術】近時では、ダイナミック・ランダム・アクセス・メモリ(DRAM)やスタティック・ランダム・アクセス・メモリ(SRAM)、マイクロプロセッサ等に代表される半導体装置においては、更なる高集積化や高性能化、多機能化を目的として素子寸法の微細化が進められている。この目的を達成するためには、層間絶縁膜に開孔形成する接続孔、例えばコンタクト孔やビア孔の孔径寸法も小さくし、金属配線層を多層化することが必要となる。しかしながら、従来の技術を用いて例えば孔径寸法が $0.25\mu\text{m}$ 以下の微細なコンタクト孔やビア孔を有し、幅寸法が $0.35\mu\text{m}$ 以下の多層化された金属配線層を高い制御性及び再現性をもって製造することは殆ど不可能であった。

【0003】通常、半導体基板上に形成された層間絶縁膜にコンタクト孔やビア孔、金属配線層をパターン形成するには、水銀のg線又はi線、エキシマレーザ光線等のレーザ光線や、電子線、X線、イオン線等のエネルギー粒子線を用いたフォトリソグラフィ技術によって、層間絶縁膜に形成されたレジストの所望の部位にコンタクト孔やビア孔、金属配線層に相当するパターンを形成することが必要であり、特に $0.25\mu\text{m}$ 以下の微細な寸法のコンタクト孔やビア孔を形成するためには解像性の高いレジストを用いることが不可欠である。

【0004】ところが、一般的に、高解像性のレジストは薄膜化されて用いられ、エッチング耐性が低い。フォトリソグラフィに用いられるレジストには、高解像性と共に、高感度で高いドライエッチング耐性を有することが要求されるが、これらの条件を全て満たすことは極めて困難である。高解像性のレジストの多くはドライエッチング耐性が低いため、一般的なドライエッチング技術では、微細なコンタクト孔やビア孔等の比較的エッチング時間の長い下層の絶縁膜を加工する際のエッチングマスクとして用いることは不可能であった。

【0005】一方、金属配線層の加工において、所望の

電気抵抗値以下の配線抵抗を有するように金属配線層を形成する場合、配線抵抗は配線断面積及び配線材料により決定される。配線材料としては一般的にアルミニウムやその合金等が用いられるが、アルミニウム等は、多結晶シリコンや絶縁膜等以上に加工する際のフォトリソグラフィーのドライエッチング耐性が低いため、これを用いて配線層を形成するには、より膜厚の大きいレジストを用いることが必要である。また、所定の大きさ以上の配線断面積を確保するには、配線寸法を微細化しても膜厚を薄くすることはできない。従って、金属配線層が多層化された場合の上部配線層においては、下地段差形状が複雑化し、より解像度の高いレジストが必要となる。ところが、上述のように高解像性のレジストの多くはドライエッチング耐性が低いため、この金属配線層を形成する際のエッチングマスクに高解像性のレジストを用いることは不可能であった。

【0006】このように、孔径寸法 $0.25\mu\text{m}$ 以下のコンタクト孔及びビア孔や幅寸法 $0.35\mu\text{m}$ 以下の多層化した金属配線層を形成するには、従来のものよりも遙かに高いドライエッチング耐性を有し、且つ高解像性能をもったレジストをフォトリソグラフィーに用いることが理想的であるが、現在のところこのようなレジストが開発される見通しはない。

【0007】そこで、コンタクト孔やビア孔等が形成される被エッチング膜に対して、レジストよりも高いエッチング選択性のある別の薄膜をマスクとして用いてコンタクト孔やビア孔を開孔する方法が、例えば特開平4-320050号公報に開示されている。この方法によれば、微細なコンタクト孔やビア孔を形成することが可能となる反面、マスク材料に多結晶シリコンを使用するため、このマスクの成膜温度が 600°C 以上と高く、アルミニウムやその合金からなる金属配線層を形成する場合に配線信頼性の低下が懸念される。

【0008】また、層間絶縁膜をエッチングレートの異なる少なくとも3層以上の構造で形成する方法が特開平7-283312号公報に開示されている。この場合、コンタクト孔やビア孔等が形成されるBPSSG膜上に、このBPSSG膜よりエッチングレートの小さい Si_3N_4 膜を形成し、この Si_3N_4 膜にコンタクト孔の開孔を形成する。続いて、この Si_3N_4 膜の上に SiO_2 膜、 Si_3N_4 膜を順次形成し、最上層の Si_3N_4 膜の上にメタル配線を形成するためのレジストパターンを形成する。しかる後、このレジストパターンをマスクとしてドライエッチングを行うことにより、最下層のBPSSG膜にコンタクト孔を形成するとともに、 SiO_2 膜及び最上層の Si_3N_4 膜を所定形状に残してメタル配線を形成する。この方法によれば、コンタクト孔をメタル配線と自己整合的に形成することが可能となり、セルフサイズの縮小化を図ることができる。ところがその反面、層間絶縁膜を多層(ここでは4層)に形成し、

しかも1種類の接続孔を形成するのに Si_3N_4 膜を2層に形成するために構造が複雑化し、製造工程が煩雑となり、高集積化の妨げとなることが懸念される。

【0009】

【発明が解決しようとする課題】上述のように、微細孔や多層化された金属配線層をフォトリソグラフィにより容易且つ確実に形成することは現在のところ極めて困難であり、妥当な解決策が待たれる現状にある。

【0010】そこで、本発明の目的は、極めて微細な接続孔（コンタクト孔及びビア孔等）や配線層を通常の高解像性レジストを用いたフォトリソグラフィにより容易且つ確実に形成することを可能とし、信頼性の高い半導体装置及びその製造方法を提供することである。

【0011】

【課題を解決するための手段】本発明の半導体装置は、導電層と、前記導電層上に形成された第1の絶縁膜と、前記第1の絶縁膜上に形成された当該第1の絶縁膜よりもエッチング速度の低い材料からなり且つ当該第1の絶縁膜よりも膜厚の薄い第2の絶縁膜と、前記第2の絶縁膜上に形成された第3の絶縁膜と、前記第2の絶縁膜を貫通する第1の開孔と、前記第1の開孔の形状に倣って前記第1の絶縁膜を貫通して前記導電層の表面の一部を露出させる第2の開孔と、前記第1の開孔上に当該第1の開孔の孔径よりも大きい幅に前記第2の絶縁膜の表面の一部が露出するように前記第3の絶縁膜に形成された溝部と、前記第1及び第2の開孔並びに前記溝部を充填して前記導電層と導通するようにパターン形成された配線層とを有する。

【0012】本発明の半導体装置の一態様例においては、前記配線層が、アルミニウム、銅、チタン、窒化チタン、タングステン、チタタングステン、タングステンシリサイドのうち、少なくとも1つが含有されてなるものである。

【0013】本発明の半導体装置の一態様例においては、前記導電層が半導体基板の表面領域に形成された不純物拡散層或いは他の配線層である。

【0014】本発明の半導体装置の一態様例は、前記第1及び第2の開孔を充填する導電材からなるコンタクトプラグと、前記溝部の形成された前記第3の絶縁膜の側壁に、当該溝部の幅が下方へ向かうにつれて徐々に狭くなるように、前記コンタクトプラグと同一の導電材からなる側壁膜とを有し、前記配線層が、前記側壁膜が形成された前記溝部を充填するとともに前記コンタクトプラグと電気的に接続されている。

【0015】この場合、前記溝部が前記配線層の形状に形成された配線溝とし、当該溝部内を充填することで所定パターンの前記配線層を形成することが好適である。

【0016】本発明の半導体装置の一態様例においては、前記第2の絶縁膜が、前記第1の絶縁膜のエッチング速度の1/6以下のエッチング速度をもつ材料からな

る。

【0017】本発明の半導体装置の一態様例においては、前記コンタクトプラグ及び前記側壁膜が、チタン、窒化チタン、タングステン、チタタングステン、タングステンシリサイドのうち、少なくとも1つが含有されてなる。

【0018】本発明の半導体装置の製造方法は、導電層上に第1の絶縁膜を形成する第1の工程と、前記第1の絶縁膜上に当該第1の絶縁膜よりもエッチング速度の低い材料からなる第2の絶縁膜を前記第1の絶縁膜よりも薄い膜厚に形成する第2の工程と、前記第2の絶縁膜を貫通し前記第1の絶縁膜の表面の一部を露出させる第1の開孔をパターン形成する第3の工程と、前記第1の開孔内を含む前記第2の絶縁膜上に第3の絶縁膜を形成する第4の工程と、前記第3の絶縁膜に、前記第1の開孔の孔径よりも大きい幅の溝部を、前記第1の開孔が露出するように形成するとともに、前記第1の絶縁膜に、前記第2の絶縁膜の前記第1の開孔の形状に倣った前記導電層の表面の一部を露出させる第2の開孔を形成する第5の工程と、前記第1及び第2の開孔並びに前記溝部を充填して前記導電層と導通するように配線層をパターン形成する第6の工程とを有する。

【0019】本発明の半導体装置の製造方法の一態様例においては、前記第2の絶縁膜を、前記第1の絶縁膜のエッチング速度の1/6以下のエッチング速度をもつ材料を用いて形成する。

【0020】本発明の半導体装置の製造方法の一態様例においては、前記溝部を前記配線層の形状に形成された配線溝とし、当該溝部内を充填することで所定パターンの前記配線層を形成する。

【0021】本発明の半導体装置の製造方法の一態様例においては、前記配線層を、アルミニウム、銅、チタン、チタタングステン、タングステンシリサイドのうち、少なくとも1つを材料として用いて形成する。

【0022】本発明の半導体装置の製造方法の一態様例においては、前記導電層を半導体基板の表面領域に形成された不純物拡散層或いは他の配線層とする。

【0023】本発明の半導体装置の製造方法の一態様例においては、前記第5の工程の後、前記第6の工程において、前記第1及び第2の開孔内並びに前記溝部内を埋めるように導電膜を堆積形成し、前記溝部に対して当該溝部の深さ程度まで前記導電膜を除去して前記第1及び第2の開孔内にコンタクトプラグを形成すると同時に、前記導電膜を加工して、前記溝部の形成された前記第3の絶縁膜の側壁に、当該溝部の幅が下方へ向かうにつれて徐々に狭くなるように側壁膜を形成し、前記配線層を前記コンタクトプラグと電気的に接続するように形成する。

【0024】この場合、前記コンタクトプラグ及び側壁膜を同時形成する際に、前記第1及び第2の開孔内並び

に前記溝部内を埋めるように形成された前記導電膜の全面に異方性エッチングを施すことが好適である。

【0025】本発明の半導体装置の製造方法の一態様例においては、前記配線層を形成する際に、前記配線層の全面に化学機械研磨を施して当該配線層を前記溝部内を埋めるように形成する。

【0026】本発明の半導体装置の製造方法の一態様例においては、前記コンタクトプラグ及び前記側壁膜を、チタン、窒化チタン、タングステン、チタンタングステン、タングステンシリサイドのうち、少なくとも1つを材料として用いて形成する。

【0027】

【作用】本発明の半導体装置においては、その層間絶縁膜が、第1の絶縁膜、この第1の絶縁膜よりエッチング速度の低い材料からなり膜厚の薄い第2の絶縁膜及び第3の絶縁膜が順次積層されて構成されており、第3の絶縁膜に溝部が形成されているとともに、第1及び第2の絶縁膜の溝部下に相当する部位にこの溝部の幅寸法より小さい孔径寸法に第2及び第1の開孔が形成されている。この第1の絶縁膜の第2の開孔は、第2の絶縁膜に形成された第1の開孔をエッチングマスクとして第3の絶縁膜の溝部とともにパターン形成されたものである。ここで、第2の絶縁膜は第1の絶縁膜に比して膜厚が薄く形成されているため、パターニング時において高解像性のレジストを用いて微細な第1の開孔を形成することができる。第3の絶縁膜の溝部は第1の開孔の孔径に比して幅広に形成されるためにそのパターニングは容易であり、第2の開孔はこの溝部とともに第1の絶縁膜に第1の開孔の形状に倣って形成されたものである。従って、この半導体装置においては、配線層との電気的接続が図られる例えば $0.25\mu\text{m}$ 以下の微細な第2の開孔が精度よく形成されており、更なる高集積化の実現が容易且つ確実に可能となる。

【0028】本発明の半導体装置の製造方法においては、第3の絶縁膜に、第1の開孔の孔径よりも大きい幅の溝部を、第1の開孔が露出するように形成するとともに、露出した第2の絶縁膜の第1の開孔をマスクとして第1の絶縁膜に導電層の表面の一部を露出させる第2の開孔を形成する。ここで、第2の絶縁膜は第1の絶縁膜に比して膜厚が薄く形成されているため、パターニング時において高解像性のレジストを用いて微細な第1の開孔を形成することができる。第3の絶縁膜の溝部は第1の開孔の孔径に比して幅広に形成されるためにそのパターニングは容易であり、第2の開孔はこの溝部とともに第1の絶縁膜に第1の開孔の形状に倣って形成される。従って、この半導体装置の製造方法においては、配線層との電気的接続が図られる例えば $0.25\mu\text{m}$ 以下の微細な第2の開孔を精度よく形成することが可能であり、更なる高集積化を容易且つ確実に実現することができる。

【0029】

【発明の実施の形態】以下、図面を参照して、本発明の半導体装置及びその製造方法の好適ないくつかの実施の形態について説明する。

【0030】（第1の実施の形態）先ず、本発明の第1の実施の形態について説明する。ここでは、半導体装置としてMOSトランジスタを例示し、その構成について製造方法と共に述べる。図1及び図3は、第1の実施の形態によるMOSトランジスタの製造方法を工程順に示す概略断面図であり、図2は図1(d)の製造工程を示す概略平面図である。

【0031】先ず、図1(a)に示すように、シリコン半導体基板1の素子分離領域に、いわゆるLOCOS法により素子分離構造となるフィールド酸化膜3を形成し、シリコン半導体基板1にフィールド酸化膜3で囲まれた素子形成領域2を画定する。このとき、素子分離構造としては、フィールド酸化膜3の代わりにシリコン半導体基板1上の素子分離領域に、シリコン酸化膜内に多結晶シリコン膜からなるシールドプレート電極が埋設されてなるフィールドシールド素子分離構造をパターン形成しても好適である。

【0032】続いて、シリコン半導体基板1の素子形成領域2の全面に熱酸化を施してゲート酸化膜4を形成する。

【0033】続いて、例えばCVD法等の真空薄膜形成技術により、全面に多結晶シリコン膜を形成した後、これをフォトリソグラフィ及びそれに続くドライエッチング等により多結晶シリコン膜及びゲート酸化膜4をパターニングし、ゲート酸化膜4上にゲート電極膜5を形成するとともに、ゲート電極膜5が形成されていない部位のゲート酸化膜4を除去する。ここでは、素子形成領域2のゲート酸化膜4上に形成されたゲート電極膜5のみを図示する。

【0034】続いて、ゲート電極膜5を含むシリコン半導体基板1の全面にCVD法等により二酸化シリコン膜を堆積形成し、この二酸化シリコン膜の全面に異方性ドライエッチングを施すことにより、ゲート電極膜5（及びゲート酸化膜4）の側面のみ二酸化シリコン膜からなる側壁保護膜6を形成する。

【0035】続いて、ゲート電極膜5及びフィールド酸化膜3をマスクとして、素子形成領域3におけるシリコン半導体基板1に対してこのシリコン半導体基板1の導電型と逆導電型の不純物（例えば、シリコン半導体基板1がN型ならばP型のホウ素（B）等、P型ならばN型の砒素（As）等）をイオン注入し、続いてアニール処理等を施してゲート電極膜5の両側におけるシリコン半導体基板1の表面領域にソース／ドレイン拡散層となる一対の不純物拡散層7を形成する。

【0036】ここで、不純物拡散層7は、それらの両端部がそれぞれゲート酸化膜4を介して上部に存するゲー

ト電極膜5の両端部と若干オーバーラップするように形成される。

【0037】続いて、フィールド酸化膜を含むシリコン半導体基板1の全面に、減圧CVD法により二酸化シリコン膜8を1000Å程度に堆積形成し、続いてこの二酸化シリコン膜8上に常圧CVD法によりBPSG膜9を膜厚8000Å程度に堆積形成して、N₂雰囲気にて950℃で10分間、BPSG膜9をフローさせる。その後、このBPSG膜9の表面を化学機械研磨法(CMP法)により研磨して表面層を2000～3000Å程度除去して平坦化する。

【0038】次いで、図1(b)に示すように、平坦化されたBPSG膜9上に、減圧CVD法により窒化シリコン膜10を膜厚200Å程度に堆積形成する。続いて、この窒化シリコン膜10上に反射防止膜(不図示)を形成し、この反射防止膜の上に高解像性を有する化学増幅型のレジスト11を塗布形成する。ここで、レジスト11は、BPSG膜9よりも遙かに膜厚の薄い窒化シリコン膜10をパターニングするためのみに形成するものであるため、厚い膜厚に形成する必要はなく、5000Å程度以上の膜厚に形成すればよい。

【0039】ここで、反射防止膜は、露光時における化学増幅型のレジスト11に生じがちな定在波効果の防止と、窒化シリコン膜10に起因するレジスト11中の酸の損失防止を目的として形成されるものであり、解像寸法の制御性の向上や解像不良の発生防止等が実現される。

【0040】続いて、このレジスト11にKrFエキシマレーザ光線を用いてフォトリソグラフィーを施して露光・現像等を行い、レジスト11に例えば孔径0.25μm程度のコンタクトパターン11aを形成する。

【0041】続いて、レジスト11をエッチングマスクとして、窒化シリコン膜10にドライエッチングを施してコンタクトパターン11aの形状に倣った開孔12を形成する。このドライエッチングは、通常の平行平板型エッチャーを用いて、300(mmTorr)の低圧条件下で行われ、レジスト11に対する10程度のエッチング速度比(選択比)が達成される。

【0042】次いで、図1(c)に示すように、レジスト11を例えばO₂プラズマによる灰化処理により除去した後に、開孔12内を含む窒化シリコン膜10の全面に、常圧CVD法によりBPSG膜13を膜厚4000Å程度に堆積形成して、N₂雰囲気にて950℃で10分間、BPSG膜13をフローさせる。

【0043】次いで、図1(d)に示すように、BPSG膜13上に反射防止膜(不図示)を形成し、この反射防止膜の上に高解像性を有する化学増幅型のレジスト14を塗布形成した後に、このレジスト14にKrFエキシマレーザ光線を用いてフォトリソグラフィーを施して露光・現像等を行い、レジスト14に、開孔12上に位

置する所定部位に開孔12の孔径に比して幅広の配線溝パターン14aを形成する。

【0044】続いて、レジスト14をエッチングマスクとして、BPSG膜13とその下層のBPSG膜9及び二酸化シリコン膜8にドライエッチングを施す。このとき、COガスを混合させたエッチングガスを用いることにより、窒化シリコン膜10に対するBPSG膜9、13及び二酸化シリコン膜8の十分なエッチング速度比(選択比)、ここでは17程度の選択比を確保することができる。従って、図2に示すように、BPSG膜13に配線溝パターン14aの形状に倣った配線溝15が形成されるとともに、窒化シリコン膜10がエッチングストッパーとして機能して、BPSG膜9及び二酸化シリコン膜8を貫きシリコン半導体基板1に形成された不純物拡散層7の表面の一部を露出させるコンタクト孔16が窒化シリコン膜10の開孔12の形状に倣って形成される。

【0045】次いで、図3(a)に示すように、レジスト14を例えばO₂プラズマによる灰化処理により除去した後に、スパッタ法又はCVD法により、コンタクト孔16内及び配線溝15内を含むBPSG膜13の全面に図示しないチタン膜(Ti膜)を膜厚20Å程度に形成し、続いてCVD法により、チタン膜上に窒化チタン膜(TiN膜)17及びタングステン膜(W膜)18をそれぞれの膜厚を500Å及び4000Å程度に順次堆積形成する。ここで、チタン膜及び窒化チタン膜17は、タングステン膜18の密着用の下地膜として機能する。

【0046】続いて、チタン膜、窒化チタン膜17及びタングステン膜18の全面にこれらの合計膜厚分の異方性ドライエッチングを施し、配線溝15の形成された部位以外のBPSG膜13上のチタン膜、窒化チタン膜17及びタングステン膜18を除去する一方、コンタクト孔16(及び開孔12)内を充填して不純物拡散層7と電氣的に接続されるコンタクトプラグ19を形成するとともに、配線溝15が形成されたBPSG膜13の側壁に側壁膜20を残存させる。この側壁膜20は、配線溝15の幅が下方へ向かうにつれて徐々に狭くなるようになだらかな表面をもって形成される。

【0047】次いで、図3(b)に示すように、スパッタ法により、配線溝15内の側壁膜20の表面及びコンタクトプラグ19の上面を含むBPSG膜13の全面に下地膜となるチタン膜21及びアルミニウム合金膜22をそれぞれ膜厚100Å程度及び5000Å程度に形成する。

【0048】しかる後、図3(c)に示すように、化学機械研磨法(CMP法)により、BPSG膜13の表面が露出するまでアルミニウム合金膜22及びチタン膜21を研磨し除去することにより、配線溝15内を側壁膜20を介して充填しコンタクトプラグ19と電氣的に接

続される配線層23が形成される。

【0049】そして、例えば全面に更に他の層間絶縁膜を形成し、所定の他の配線層を形成する等の後工程を経て、MOSトランジスタを完成させる。

【0050】上述のように、この第1の実施の形態によれば、BPSG膜13に、窒化シリコン膜10に形成された開孔12の孔径よりも大きい幅の配線溝15を、開孔12が露出するように形成するとともに、露出した開孔12をマスクとしてBPSG膜9及び二酸化シリコン膜8に不純物拡散層7の表面の一部を露出させるコンタクト孔16を形成する。ここで、窒化シリコン膜10はBPSG膜9に比して膜厚が薄く形成されているため、パターンニング時において高解像性のレジスト11を用いて所望の微細な開孔12を形成することができる。BPSG膜13の配線溝15は開孔12の孔径に比して幅広に形成されるためにそのパターンニングは容易であり、コンタクト孔16はこの配線溝15とともにBPSG膜9及び二酸化シリコン膜8に開孔12の形状に倣って形成される。従って、このMOSトランジスタの製造方法においては、配線溝15とコンタクト孔16とが同時形成されるために製造工程が短縮化されるとともに、配線層23との電氣的接続が図られるコンタクトプラグ19が充填形成される例えば0.25 μ m以下の微細なコンタクト孔16を精度よく形成することが可能であり、更なる高集積化を効率良く容易且つ確実に実現することができる。

【0051】また、従来では、コンタクトプラグを形成する際に、コンタクト孔を形成した後にこのコンタクト孔に例えばタングステン等を埋め込んで、このタングステン等の全面に異方性エッチングを施した後に、配線溝を形成して再度タングステン等を埋め込んで2度目の異方性エッチングを施していた。それに対して、第1の実施の形態においては、配線溝15及びコンタクト孔16を形成した後に、タングステン等を埋め込んで1回の異方性エッチングを施すだけでコンタクトプラグ19及び側壁膜20を形成することができる。

【0052】更に、配線溝15が形成されたBPSG膜13の側壁には、配線溝15の幅が下方へ向かうにつれて徐々に狭くなるようになだらかなテーパ状の表面を有する側壁膜20が形成されているため、アルミニウム合金膜22のスパッタ形成時における埋め込み特性が向上し、内部にボイドの発生がない第1配線層23を形成することができる。

【0053】また、第1配線層23はコンタクトプラグ19と下地膜であるチタン膜21を介して接続されるため、図4に示すように例えばコンタクトプラグ19内にボイドVが発生した場合でも、CMP法によるアルミニウム合金膜22の研磨時に用いる化学研磨剤がボイドV内に混入することがなく、ボイドV内に残留した化学研磨剤によるコンタクトプラグ19の溶解が確実に防止さ

れる。

【0054】(第2の実施の形態)以下、本発明の第2の実施の形態について説明する。第2の実施の形態のMOSトランジスタは、第1の実施の形態のそれと略同様の構成を有し同様の製造工程を経て形成されるが、そのビア孔及びその上層の配線層の形成方法に特徴がある。図5及び図6は、第2の実施の形態によるMOSトランジスタの製造方法を工程順に示す概略断面図である。なお、第1の実施の形態のMOSトランジスタと同様の構成要素等については同符号を記して説明を省略する。

【0055】先ず、第1の実施の形態の場合と同様に、図5(a)に示すように、シリコン半導体基板1にLOCOS法によりフィールド酸化膜3を形成して素子形成領域2を画定し、シリコン半導体基板1の素子形成領域2の全面に熱酸化を施してゲート酸化膜4を形成する。続いて、ゲート酸化膜4上にゲート電極膜5をパターン形成し、側壁保護膜6を形成した後に、ゲート電極膜5及びフィールド酸化膜3をマスクとしてゲート電極膜5の両側のシリコン半導体基板1にその導電型と逆導電型の不純物をイオン注入して一対の不純物拡散層7を形成する。

【0056】続いて、フィールド酸化膜3を含むシリコン半導体基板1の全面に二酸化シリコン膜やBPSG膜からなる層間絶縁膜31を堆積形成し、層間絶縁膜31にフォトリソグラフィ及びそれに続くドライエッチングを施すことにより、層間絶縁膜31を貫通しその下部に存する不純物拡散層7の表面の一部を露出させるコンタクト孔32をパターン形成する。

【0057】続いて、スパッタ法により、コンタクト孔32内を含む層間絶縁膜31の全面にアルミニウム合金膜33を形成し、このアルミニウム合金膜33にフォトリソグラフィ及びそれに続くドライエッチングを施すことにより、コンタクト孔32を充填して不純物拡散層7と電氣的に接続されるとともに層間絶縁膜31上に所定形状に延在する第1配線層34をパターン形成する。

【0058】次いで、図5(b)に示すように、第1配線層34上を含む層間絶縁膜31の全面に、プラズマCVD法により二酸化シリコン膜35を7000Å程度に堆積形成する。

【0059】次いで、図5(c)に示すように、二酸化シリコン膜35の表面を化学機械研磨法(CMP法)により研磨して表面層を2000~3000Å程度除去して平坦化した後、平坦化された二酸化シリコン膜35上に、プラズマCVD法により窒化シリコン膜36を膜厚200Å程度に堆積形成する。続いて、この窒化シリコン膜36上に反射防止膜(不図示)を形成し、この反射防止膜の上に高解像性を有する化学増幅型のレジスト37を塗布形成する。ここで、レジスト37は、二酸化シリコン膜35よりも遙かに膜厚の薄い窒化シリコン膜3

6をパターニングするためのみに形成するものであるの
で、厚い膜厚に形成する必要はなく、5000Å程度以
上の膜厚に形成すればよい。

【0060】続いて、このレジスト37にKrFエキシ
マレーザ光線を用いてフォトリソグラフィを施して露
光・現像等を行い、レジスト37にビアパターン37
aを形成する。

【0061】続いて、レジスト37をエッチングマスク
として、窒化シリコン膜36にドライエッチングを施し
てビアパターン37aの形状に倣った開孔38を形成
する。

【0062】次いで、図5(d)に示すように、レジス
ト37を例えばO₂プラズマによる灰化处理により除去
した後に、開孔38内を含む窒化シリコン膜36の全面
に、常圧CVD法により二酸化シリコン膜39を膜厚8
000Å程度に堆積形成して、N₂雰囲気にて950℃
で10分間、二酸化シリコン膜39をフローさせる。

【0063】次いで、図6(a)に示すように、二酸化
シリコン膜39上に反射防止膜(不図示)を形成し、こ
の反射防止膜の上に高解像性を有する化学増幅型のレ
ジスト40を塗布形成した後に、このレジスト40にKr
Fエキシマレーザ光線を用いてフォトリソグラフィを
施して露光・現像等を行い、レジスト40に、開孔38
上に位置する所定部位に開孔38の孔径に比して幅広の
配線溝パターン40aを形成する。

【0064】続いて、レジスト40をエッチングマスク
として、二酸化シリコン膜39とその下層の層間絶縁膜
31にドライエッチングを施し、二酸化シリコン膜39
に配線溝パターン40aの形状に倣った配線溝41を形
成するとともに、窒化シリコン膜36がエッチングスト
ッパーとして機能して、二酸化シリコン膜35を貫き第
1配線層34の表面の一部を露出させるビア孔42が
窒化シリコン膜36の開孔38の形状に倣って形成され
る。

【0065】次いで、図6(b)に示すように、レジス
ト40を例えばO₂プラズマによる灰化处理により除去
した後に、スパッタ法又はCVD法により、ビア孔4
2内及び配線溝41内を含む二酸化シリコン膜39の全
面に図示しないチタン膜(Ti膜)を膜厚20Å程度に
形成し、続いてCVD法により、チタン膜上に窒化チタ
ン膜(TiN膜)43及びタングステン膜(W膜)44
をそれぞれの膜厚を500Å及び4000Å程度に順次
堆積形成する。ここで、チタン膜及び窒化チタン膜43
は、タングステン膜44の密着用の下地膜として機能す
る。

【0066】続いて、チタン膜、窒化チタン膜43及び
タングステン膜44の全面にこれらの合計膜厚分の異方
性ドライエッチングを施し、配線溝41の形成された部
位以外の二酸化シリコン膜39上のチタン膜、窒化チタ
ン膜43及びタングステン膜44を除去する一方、ヴィ

ア孔42(及び開孔38)内を充填して第1配線層34
と電氣的に接続されるコンタクトプラグ45を形成する
とともに、配線溝41が形成された二酸化シリコン膜3
9の側壁に側壁膜46を残存させる。この側壁膜46
は、配線溝41の幅が下方へ向かうにつれて徐々に狭く
なるようになだらかな表面をもって形成される。

【0067】次いで、図6(c)に示すように、スパッ
タ法により、配線溝41内の側壁膜46の表面及びコン
タクトプラグ45の上面を含む二酸化シリコン膜39の
全面に下地膜となるチタン膜47及びアルミニウム合金
膜48をそれぞれ膜厚200Å程度及び5000Å程度
に形成する。

【0068】しかる後、図6(d)に示すように、化学
機械研磨法(CMP法)により、二酸化シリコン膜39
の表面が露出するまでアルミニウム合金膜48及びチタ
ン膜47を研磨し除去することにより、配線溝41内を
側壁膜46を介して充填しコンタクトプラグ45と電氣
的に接続される第2配線層49が形成される。

【0069】そして、例えば全面に更に他の層間絶縁膜
を形成し、所定の他の配線層を形成する等の後工程を経
て、MOSトランジスタを完成させる。

【0070】上述のように、この第2の実施の形態によ
れば、二酸化シリコン膜39に、窒化シリコン膜36に
形成された開孔38の孔径よりも大きい幅の配線溝41
を、開孔28が露出するように形成するとともに、露出
した開孔38をエッチングマスクとして二酸化シリコン
膜39に第1配線層34の表面の一部を露出させるヴィ
ア孔42を形成する。ここで、窒化シリコン膜36は二
酸化シリコン膜35に比して膜厚が薄く形成されている
ため、パターニング時において高解像性のレジスト40
を用いて微細な開孔38を形成することができる。二酸
化シリコン膜39の配線溝41は開孔38の孔径に比し
て幅広に形成されるためにそのパターニングは容易であ
り、ビア孔42はこの配線溝41とともに二酸化シリ
コン膜35に開孔42の形状に倣って形成される。従っ
て、このMOSトランジスタの製造方法においては、配
線溝41とビア孔42とが同時形成されるために製造
工程が短縮化されるとともに、第2配線層49との電氣
的接続が図られるコンタクトプラグ45が充填形成され
る例えば0.25μm以下の微細なビア孔42を精度
よく形成することが可能であり、更なる高集積化を容易
且つ確実に実現することができる。

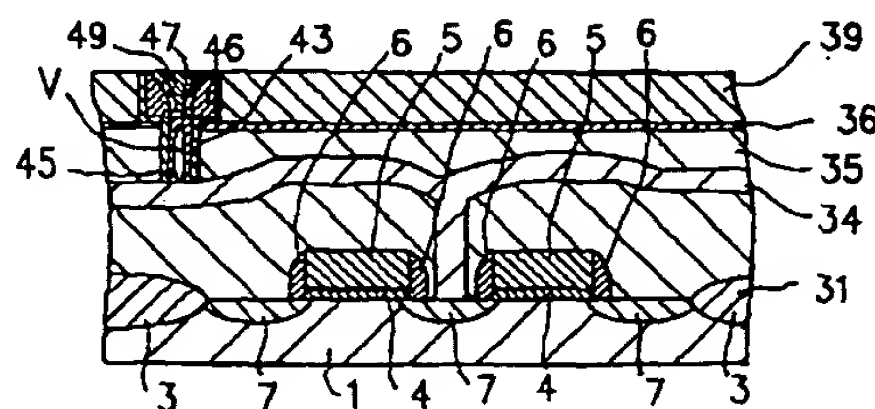
【0071】また、従来では、コンタクトプラグを形成
する際に、ビア孔を形成した後にこのビア孔に例え
ばタングステン等を埋め込んで、このタングステン等の
全面に異方性エッチングを施した後に、配線溝を形成し
て再度タングステン等を埋め込んで2度目の異方性エッ
チングを施していた。それに対して、第2の実施の形態
においては、配線溝41及びビア孔42を形成した後
に、タングステン等を埋め込んで1回の異方性エッチン

【図面の簡単な説明】

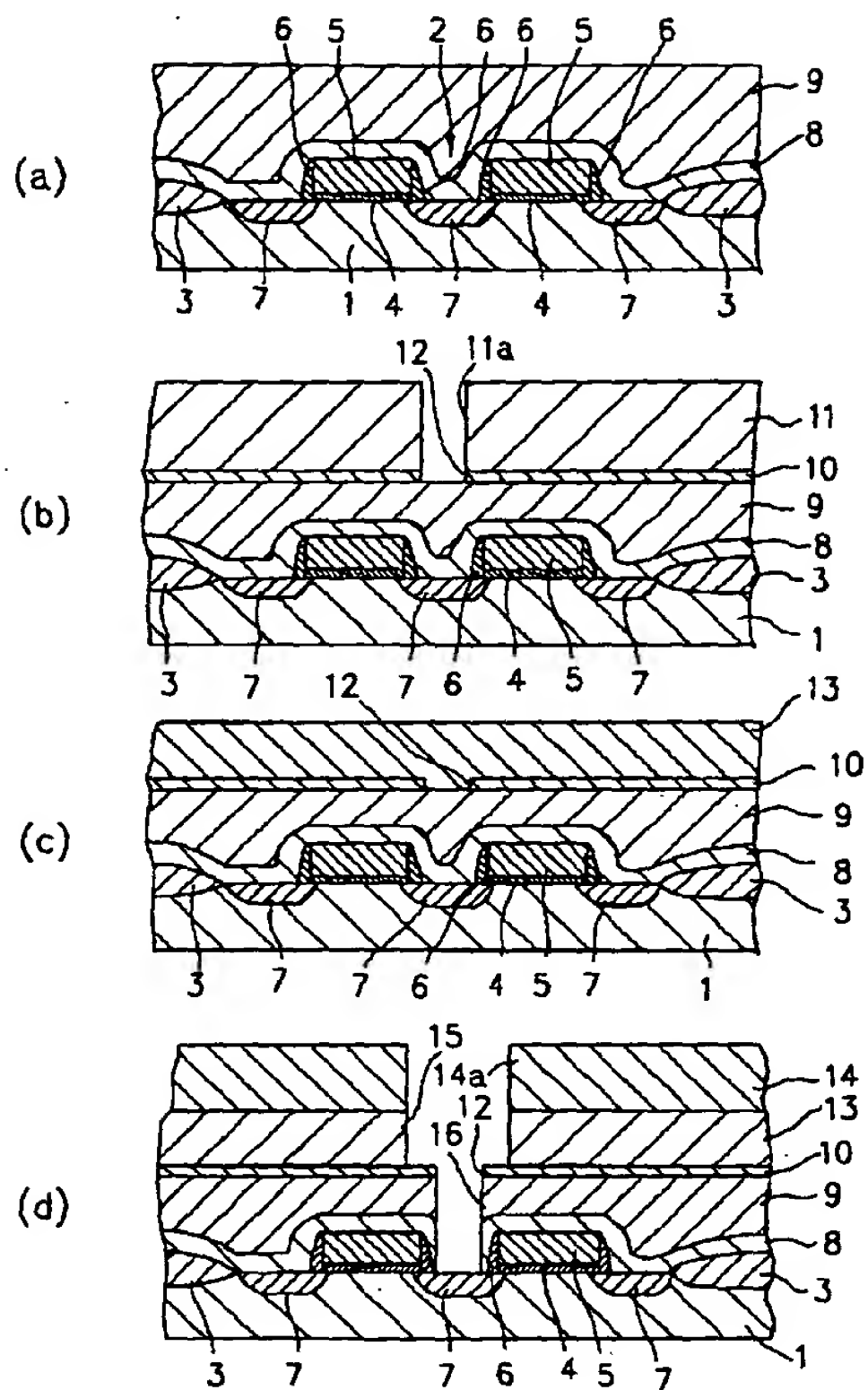
【符号の説明】

- 1 シリコン半導体基板
- 2 素子形成領域
- 3 フィールド酸化膜
- 4 ゲート酸化膜
- 5 ゲート電極膜
- 6 側壁保護膜
- 7 不純物拡散層
- 8 二酸化シリコン膜
- 9, 13 BPSG膜
- 10 窒化シリコン膜
- 12 開孔
- 15, 41 配線溝
- 16 コンタクト孔
- 19, 45 コンタクトプラグ
- 20, 46 側壁膜
- 23 配線層
- 31 層間絶縁膜
- 34 第1配線層
- 42 ヴィア孔
- 49 第2配線層

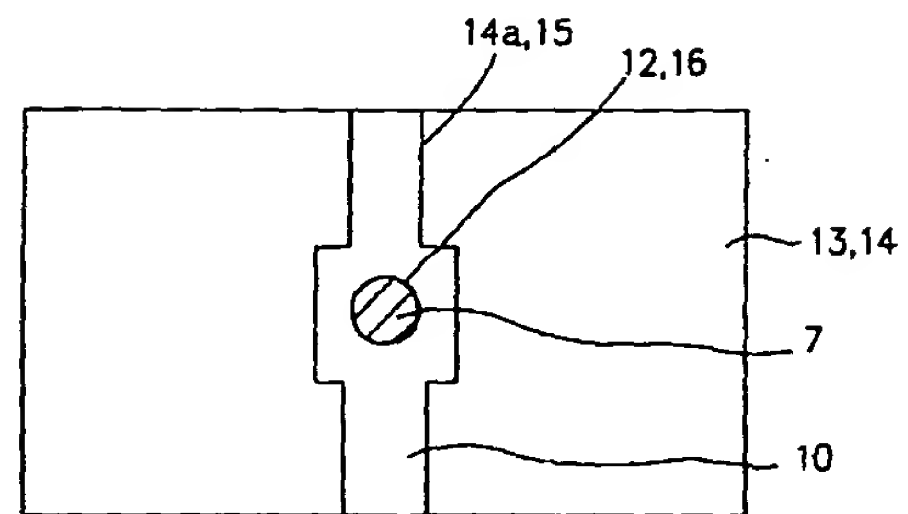
【图7】



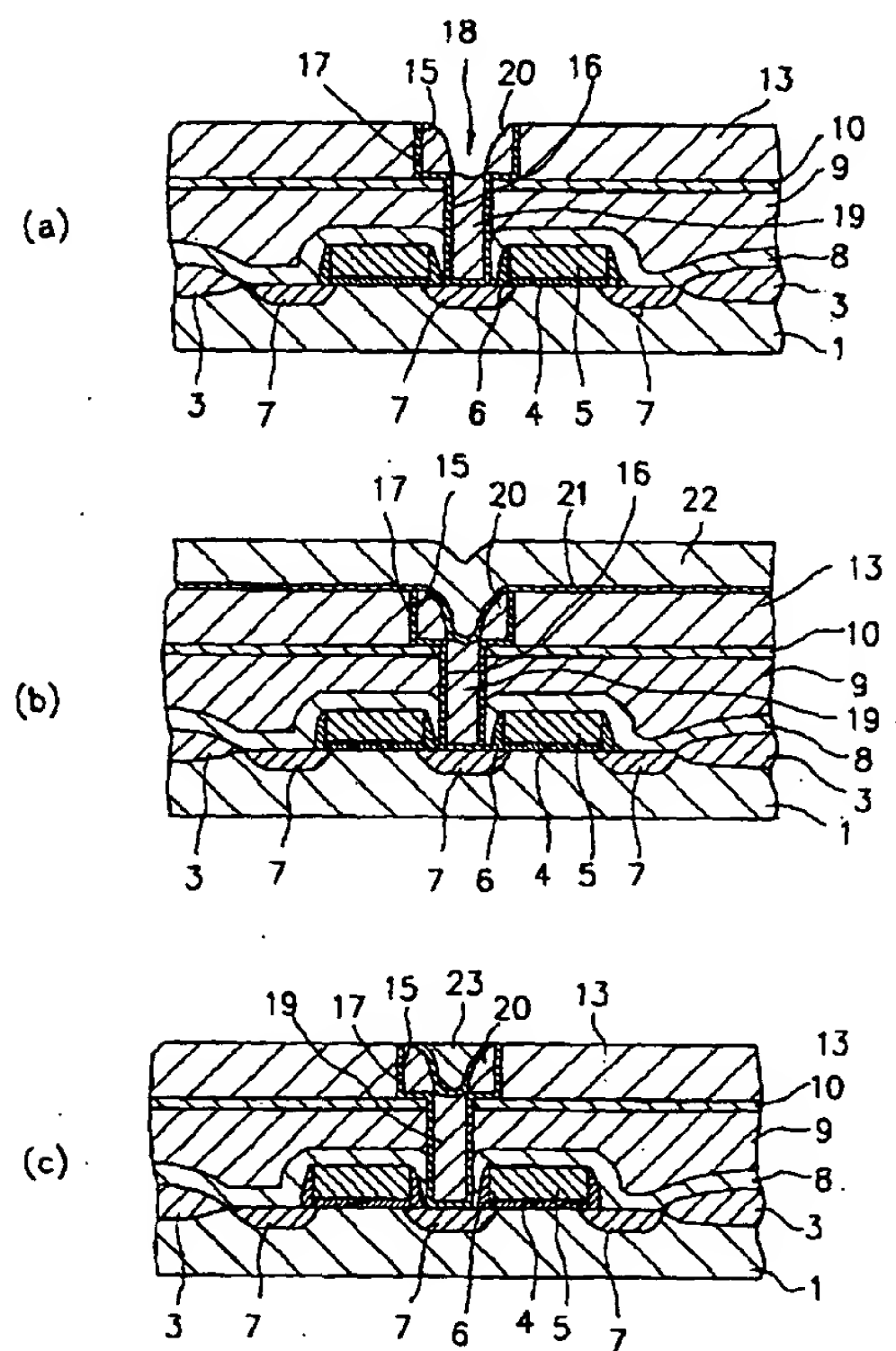
【図1】



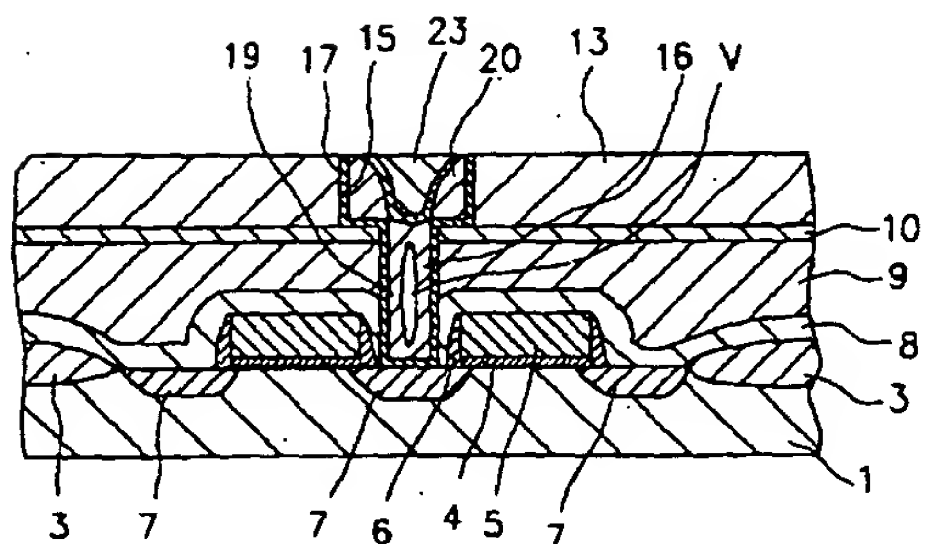
【図2】



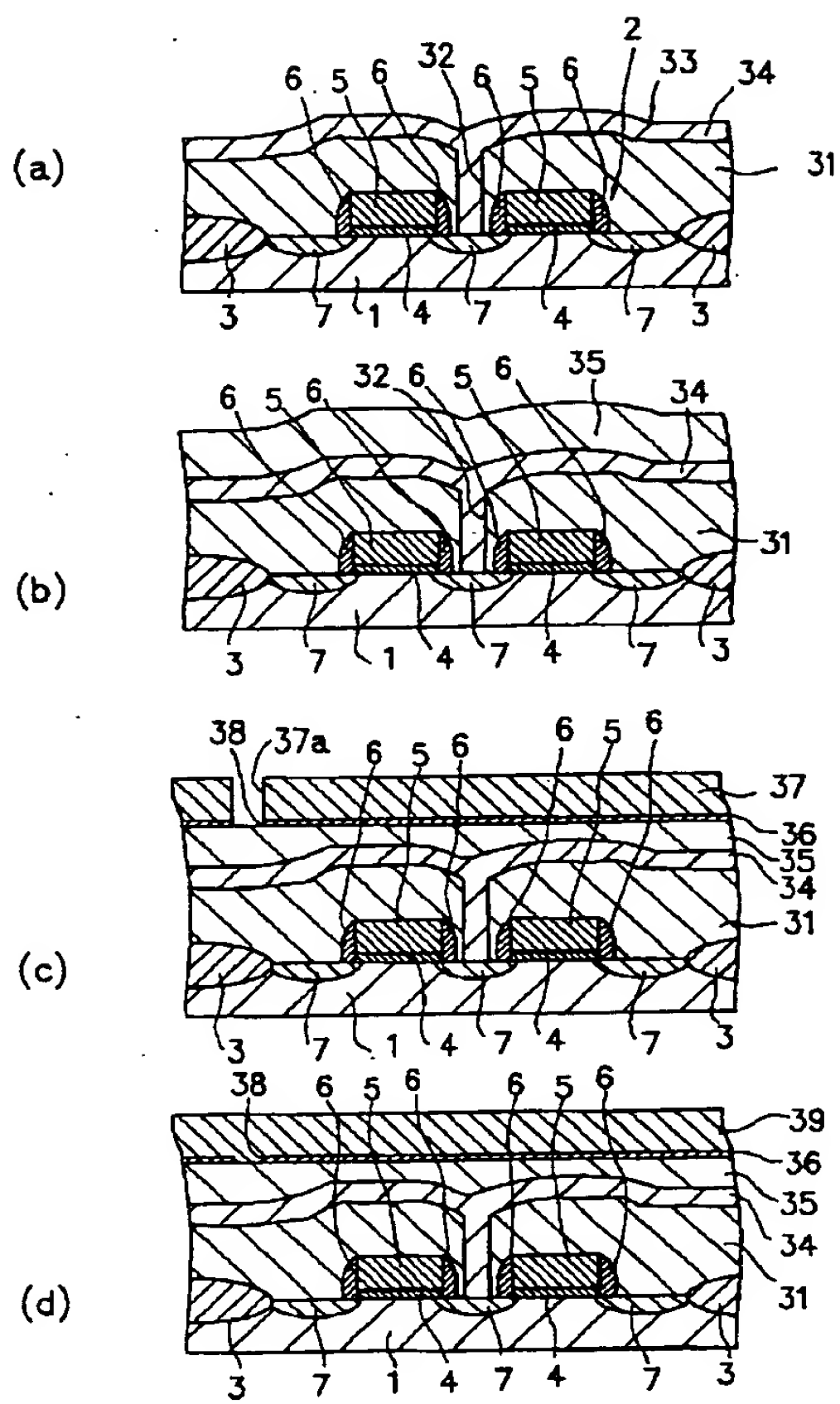
【図3】



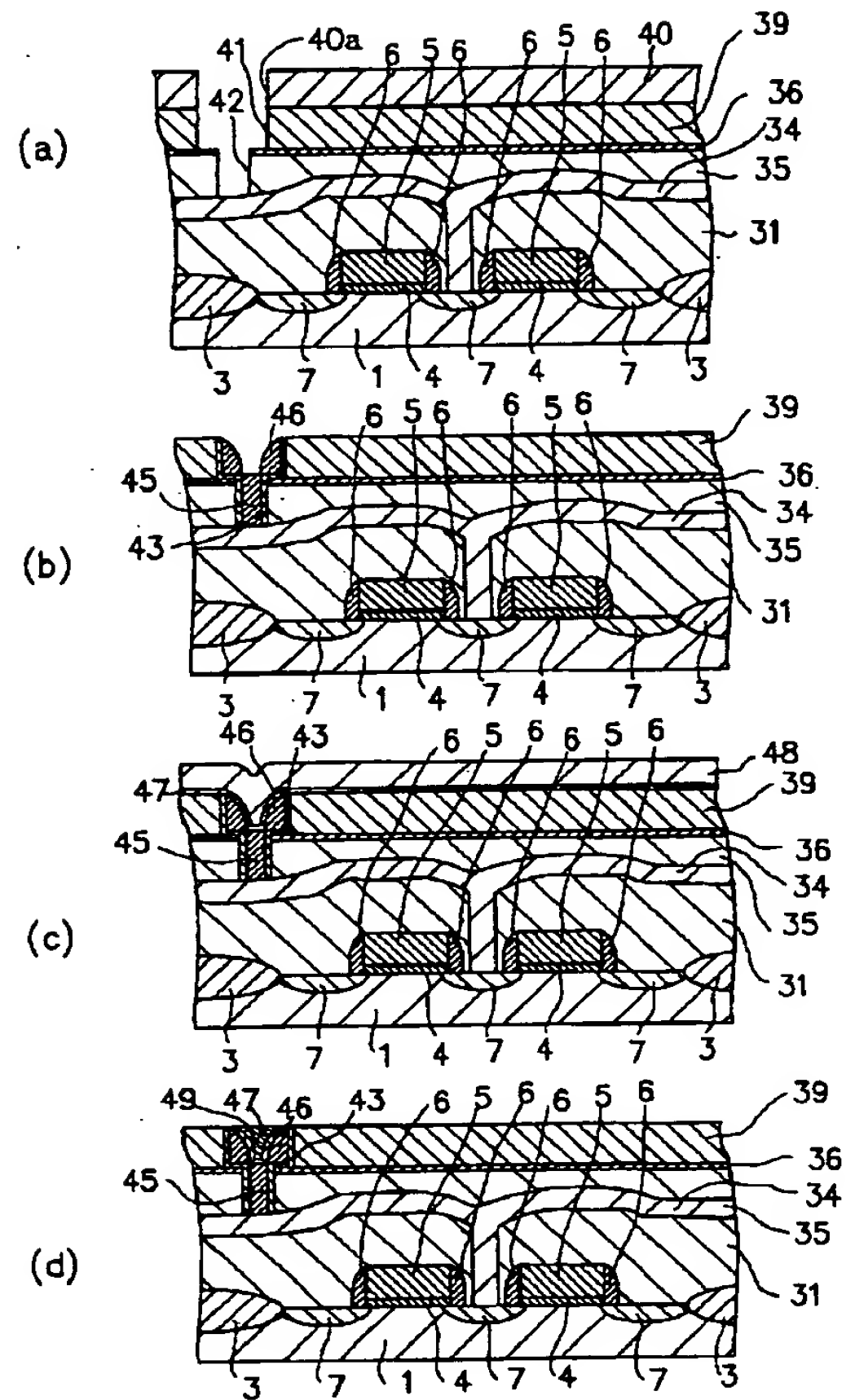
【図4】



【図5】



【図6】



フロントページの続き

(51)Int. Cl.⁶

識別記号

F I
H 0 1 L 21/90

A